

Requested Patent: JP2000347932A

Title: CACHE CONTROLLING METHOD AND CACHE CONTROLLER ;

Abstracted Patent: JP2000347932 ;

Publication Date: 2000-12-15 ;

Inventor(s): IIDA MASANOBU ;

Applicant(s): NEC GUMMA LTD ;

Application Number: JP19990153308 19990601 ;

Priority Number(s): ;

IPC Classification: G06F12/08 ;

Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To exert the original performance of a cache by making the full bit of a tag address be a valid value regardless of memory capacity. SOLUTION: The allocation of an access address to a cache memory is performed with standard memory capacity as a target in the cache controlling method controlling a cache memory. When memory capacity is increased, the memory capacity is used as a V-bit selection signal C performing selection of a valid bit register without increasing the Tag address A of an access address.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-347932
(P2000-347932A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl.
G 0 6 F 12/08

識別記号

F I
G 0 6 F 12/08

キーワード(参考)
E 5 B 0 0 5

審査請求 有 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平11-153308

(22) 出願日 平成11年6月1日 (1999. 6. 1)

(71) 出願人 000165033

群馬日本電気株式会社

群馬県太田市西矢島町32番地

(72) 発明者 飯田 昌暢

群馬県太田市西矢島町32番地 群馬日本電
気株式会社内

(74) 代理人 100086645

弁理士 岩佐 義幸

Fターム(参考) 5B005 JJ13 MM01 NN42 NN43

(54) 【発明の名称】 キャッシュ制御方法およびキャッシュコントローラ

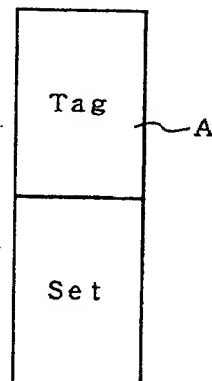
(57) 【要約】

【課題】 メモリ容量に関わらずTagアドレスが常に全bit有効値となり、キャッシュ本来の性能を発揮することができるキャッシュ制御方法およびキャッシュコントローラを提供する。

【解決手段】 キャッシュメモリを制御するキャッシュ制御方法において、キャッシュメモリに対するアクセスアドレスの割り振りを、標準メモリ容量をターゲットとして行う。メモリ容量が増加した場合、アクセスアドレスのTagアドレスを増やさずに、バリッドビットレジスタの選択を行うV-bit選択信号として使用する。

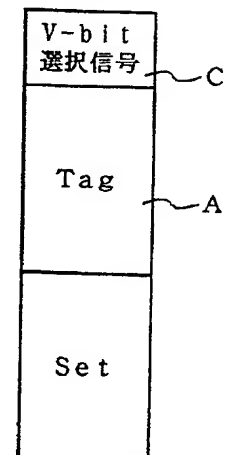
(a)

標準



(b)

最大



【特許請求の範囲】

【請求項1】 キャッシュメモリを制御するキャッシュ制御方法において、

前記キャッシュメモリに対するアクセスアドレスの割り振りを、標準メモリ容量をターゲットとして行うことを特徴とするキャッシュ制御方法。

【請求項2】 メモリ容量が増加した場合、前記アクセスアドレスのTagアドレスを増やさずに、バリッドビットレジスタの選択を行うV-bit選択信号として使用することを特徴とする請求項1に記載のキャッシュ制御方法。

【請求項3】 キャッシュメモリを制御するキャッシュコントローラにおいて、

前記キャッシュメモリに対するアクセスアドレスの割り振りを、標準メモリ容量をターゲットとして行うことを特徴とするキャッシュコントローラ。

【請求項4】 前記アクセスアドレスは、Tagアドレスと、Setアドレスと、バリッドビットレジスタの選択を行うV-bit選択信号とに分けられていることを特徴とする請求項3に記載のキャッシュコントローラ。

【請求項5】 Tagアドレスを格納するTagRAM部と、

格納されているTagアドレスとアクセスされたTagアドレスを比較する比較器と、

V-bit選択信号を格納する複数設けられたV-bitレジスタ部と、

比較器による比較結果とV-bitレジスタ部からの情報でHit/Missの判定を行う判定回路とを有することを特徴とする請求項4に記載のキャッシュコントローラ。

【請求項6】 判定回路からの判定結果が入力し、キャッシュメモリの全動作を制御するメインコントロール部と、

Tagアドレス、Setアドレス及びV-bit選択信号が入力し、モニタリングの制御を行うモニタリングコントロール部とを有することを特徴とする請求項5に記載のキャッシュコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、キャッシュ制御方法およびキャッシュコントローラに関し、特に、キャッシュ本来の性能を発揮することができるキャッシュ制御方法およびキャッシュコントローラに関する。

【0002】

【従来の技術】 図3は、従来のキャッシュ制御方法を示し、(a)は最大メモリ容量の説明図、(b)は標準メモリ容量の説明図である。

【0003】 従来のキャッシュメモリ制御は、最大サポートメモリ容量((a)参照)をターゲットにしてTag/Setアドレスの割り振りをし、H/W(ハード

ウェア)構成を決定している。

【0004】 ここで、標準メモリ容量時((b)参照)は、Tagアドレスの上位bit Bが余ってしまう。つまり、Tagアドレスの上位bitが“0”固定となってしまう。

【0005】

【発明が解決しようとする課題】 しかしながら、アドレスの上位bitが“0”固定となると、キャッシュを構成しているH/W本来の性能を発揮することができなくなる。

【0006】 また、Tagアドレスを格納しておくTagRAMは、システムLSIの外部に接続されることが多く高価なRAMとなるが、従来の割り振りによる標準メモリ容量のシステムでは、この高価なTagRAMの全機能を使い切ることができていない。

【0007】 この発明の目的は、メモリ容量に関わらずTagアドレスが常に全bit有効値となり、キャッシュ本来の性能を発揮することができるキャッシュ制御方法およびキャッシュコントローラを提供することである。

【0008】

【課題を解決するための手段】 上記目的を達成するため、この発明に係るキャッシュ制御方法は、キャッシュメモリを制御するキャッシュ制御方法において、前記キャッシュメモリに対するアクセスアドレスの割り振りを、標準メモリ容量をターゲットとして行うことを特徴としている。

【0009】 上記構成を有することにより、キャッシュメモリに対するアクセスアドレスの割り振りは、標準メモリ容量をターゲットとして行われ、キャッシュメモリが制御される。これにより、メモリ容量に関わらずTagアドレスが常に全bit有効値となり、キャッシュ本来の性能を発揮することができる。

【0010】 また、この発明に係るキャッシュコントローラにより、上記キャッシュ制御方法を実現することができる。

【0011】

【発明の実施の形態】 以下、この発明の実施の形態について図面を参照して説明する。

【0012】 図1は、この発明の実施の形態に係るキャッシュ制御方法を示し、(a)は標準メモリ容量の説明図、(b)は最大メモリ容量の説明図である。

【0013】 図1に示すように、キャッシュメモリに対する、アクセスアドレスであるTag/Setアドレスの割り振りは、標準メモリ容量をターゲットとして行われる((a)参照)。メモリ容量が増加した場合は、TagアドレスAを増やさずに、バリッドビットレジスタの選択を行うV-bit選択信号Cとして使用する((b)参照)。

【0014】 図2は、この発明の実施の形態に係るキャ

ッシュコントローラの構成を示すブロック図である。図2に示すように、キャッシュコントローラ10は、メインコントロール部11、TagRAM部12、比較器13、判定回路14、V-bitレジスタ部15、及びモニタリングコントロール部16を有する。

【0015】メインコントロール部11は、判定回路14からの判定結果が入力してキャッシュメモリの全動作を制御し、TagRAM部12は、Tagアドレスを格納する。比較器13は、格納されているTagアドレスとアクセスされたTagアドレスを比較し、判定回路14は、比較器13による比較結果とV-bitレジスタ部からの情報でHit/Missの判定を行う。複数（この例では4個）設けられたV-bitレジスタ部15は、V-bit選択信号を格納し、モニタリングコントロール部16は、Tagアドレス、Setアドレス及びV-bit選択信号が入力し、モニタリングの制御を行う。

【0016】次に、標準メモリ容量64MBでH/W構成されたキャッシュコントローラ10を、メモリ容量256MB（最大サポートメモリ容量）の環境で使用する場合について説明する。

【0017】この場合、V-bit選択信号C（図1（b）参照）は2本となり、V-bitレジスタ部15（図2参照）は設けられた4個全て使用されることとなる。4個で構成されたV-bitレジスタ部15は、A-V-bit選択信号cの値により、それぞれ選択される。

【0018】ホストバス側から送られてきたアクセスアドレスは、A-Tagアドレスaと、A-Setアドレスbと、バリッドビットレジスタの選択を行うA-V-bit選択信号cとに分けられる。

【0019】A-Tagアドレスaは、TagRAM部12内に格納されているアドレスと比較されるため、比較器13に送られる。

【0020】A-Setアドレスbは、格納されているTagアドレスを出力するためTagRAM部12へ、格納されているバリッドビットを出力するためV-bitレジスタ部15へ、キャッシュヒット時のデータ出力用にキャッシュデータRAMへ、それぞれ送られる。

【0021】A-V-bit選択信号cは、4個のレジスタの選択用にV-bitレジスタ部15に送られる。

【0022】A-Setアドレスbによって出力されたTagアドレスは、比較器13でA-Tagアドレスaと比較され、比較結果が判定回路14に送られる。A-SetアドレスbとA-V-bit選択信号cによって選択され出力されたバリッドビットも、同様に判定回路14に送られる。

【0023】判定回路14は、送られてきた情報に基づいてHit/Missの判定を行い、Hitの場合、キ

ャッシュデータRAMに対しデータ出力信号dを出力すると共に、メインコントロール部11に通知する。一方、Missの場合は、メインコントロール部11に通知するだけである。

【0024】Missの場合のその後の動作は、従来のキャッシュコントローラと同様であり、また、モニタリングコントロール部16の動作も、従来のキャッシュコントローラと同様である。

【0025】なお、標準メモリ容量64MB、最大サポートメモリ容量256MBでH/W構成された本発明のキャッシュコントローラを、標準メモリ容量64MBの環境で使用する場合、A-V-bit選択信号cは0本となる。よって、この場合、V-bitレジスタ部15は1個のみ使用される。

【0026】このように、この発明によれば、標準メモリ容量をターゲットとして、Tag/Setアドレスの割り振りをを行い、メモリ容量が増加した場合は、Tagアドレスを増やさずにバリッドビットレジスタの選択を行う、V-bit選択信号Cとして使用する。

【0027】従って、メモリ容量に関わらず、Tagアドレスが常に全bit有効値となり、キャッシュ本来の性能を発揮することができる。

【0028】

【発明の効果】以上説明したように、この発明によれば、キャッシュメモリに対するアクセスアドレスの割り振りは、標準メモリ容量をターゲットとして行われ、キャッシュメモリが制御されるので、メモリ容量に関わらずTagアドレスが常に全bit有効値となり、キャッシュ本来の性能を発揮することができる。

【0029】また、この発明に係るキャッシュコントローラにより、上記キャッシュ制御方法を実現することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係るキャッシュ制御方法を示し、（a）は標準メモリ容量の説明図、（b）は最大メモリ容量の説明図である。

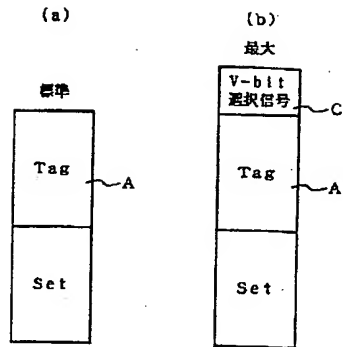
【図2】この発明の実施の形態に係るキャッシュコントローラの構成を示すブロック図である。

【図3】従来のキャッシュ制御方法を示し、（a）は最大メモリ容量の説明図、（b）は標準メモリ容量の説明図である。

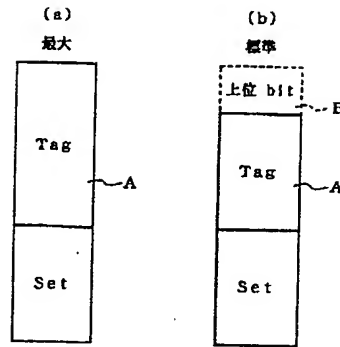
【符号の説明】

- 10 キャッシュコントローラ
- 11 メインコントロール部
- 12 TagRAM部
- 13 比較器
- 14 判定回路
- 15 V-bitレジスタ部
- 16 モニタリングコントロール部

【図1】



【図3】



【図2】

